

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-216480
 (43)Date of publication of application : 26.09.1986

(51)Int.Cl.

H01L 29/78

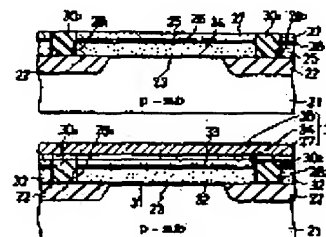
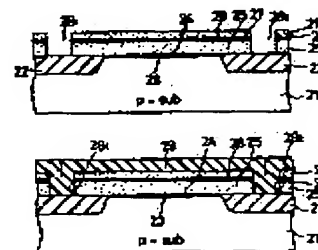
(21)Application number : 60-057717 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 22.03.1985 (72)Inventor : MORI SEIICHI

(54) MANUFACTURE OF NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To improve a withstand voltage between a floating gate and a control gate and to flatten the control gate by providing the step of sequentially patterning from a conductive material layer to the first insulating film which includes an insulator to form the floating gate and the control gate.

CONSTITUTION: The first non single crystal silicon layer is accumulated through the first insulating film on a semiconductor substrate, the second insulating film is formed on the non single crystal silicon layer, the second non single crystal silicon is further accumulated, and the second film and the first layer are selectively etched to open a groove for setting the length of the floating gate to form the first layer in one direction. The groove is buried with an insulator, a conductive material layer is formed on the entire surface, and sequentially patterned from the conductive material layer to the first film which includes the insulator to form the floating gate made of the first non single crystal silicon and the control gate made of the second nonsingle crystal silicon and the conductive material.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

4. 6. 26

③ 特 許 公 報 (B 2)

平3-41987

④ Int. Cl. 5

識別記号

庁内整理番号

⑤ 公告 平成3年(1991)6月25日

H 01 L 29/788
27/115
29/792

7514-5F H 01 L 29/78 3 7 1
8831-5F 27/10 4 3 4

発明の数 1 (全6頁)

⑥ 発明の名称 不揮発性半導体記憶装置の製造方法

⑦ 特 願 昭60-57717

⑧ 公 開 昭61-216480

⑨ 出 願 昭60(1985)3月22日

⑩ 昭61(1986)9月26日

⑪ 発 明 者 森 誠 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑫ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑬ 代 理 人 弁理士 鈴江 武彦 外2名

審 査 官 岡 和 久

⑭ 参 考 文 献 特開 昭59-61189 (JP, A)

1

2

⑮ 特許請求の範囲

1 半導体基板上に第1の絶縁膜を介して第1の非単結晶シリコン層を堆積する工程と、この非単結晶シリコン層上に第2の絶縁膜を形成した後、この第2の絶縁膜上に第2の非単結晶シリコン層をを堆積する工程と、これら第2の非単結晶シリコン層、第2の絶縁膜及び第1の非単結晶シリコン層を選択的にエッチングした第1の非単結晶シリコン層を形成すべき浮遊ゲートの一方の長さとするための溝部を開口する工程と、この溝部内を絶縁物で埋込む工程と、全面に導電材料層を形成した後、この導電材料層から前記絶縁物を含む前記第1の絶縁膜に互つて順次パターンニングすることにより第1の非単結晶シリコンからなる浮遊ゲートと、該浮遊ゲートとセルフアラインとなる第2の非単結晶シリコンパターン及びこれと長さ方向に沿う側面がセルフアラインとなり、少なくとも一端が前記絶縁物上に延出した導電材料パターンからなる制御ゲートとを形成する工程とを具備したことを特徴とする不揮発性半導体記憶装置の製造方法。

発明の詳細な説明

〔発明の技術分野〕

本発明は、不揮発性半導体記憶装置の製造方法に関し、特に浮遊ゲートを有するEPROM、

E²PROM等の不揮発性半導体記憶装置の製造方法に係る。

〔発明の技術的背景とその問題点〕

従来、浮遊ゲートを有するEPROMのメモリセルは第4図a～cに示す方法により製造されている。

まず、例えばp型シリコン基板1の表面に素子分離領域としてのフィールド酸化膜2を形成し、このフィールド酸化膜2で分離された基板1の島領域3表面に第1のゲート酸化膜4を形成した後、全面に第1の多結晶シリコン層5を形成する(第4図a図示)。つづいて、この多結晶シリコン層5をパターンニングして浮遊ゲート6を形成した後、これを熱酸化処理して薄い第2のゲート酸化膜7を形成する(同図b図示)。次いで、全面に第2の多結晶シリコン層を堆積し、パターンニングして制御ゲート8を形成する(同図c図示)。以下、図示しないが、制御ゲート8をマスクとしてn型不純物を基板1にイオン注入し、活性化してn⁺型のソース、ドレイン領域を形成した後、CVD-SiO₂膜の堆積、コンタクトホールの開孔、Al配線の形成を行なうことによりEPROMのメモリセルを製造する。

しかしながら、前述した方法によれば全面に第1の多結晶シリコン層5を形成した後、これをパ

ターニングすることにより浮遊ゲート 6 を形成するため、浮遊ゲート 6 間に凹部 9 が発生する。その結果、この浮遊ゲート 6 を熱酸化して第 2 のゲート酸化膜 7 を形成する際、前記凹部 9 のコーナ部（点線部分）10 に十分な厚さのゲート酸化膜 7 が形成されない場合があるのと同時に、コーナ部 10 に電界集中が生じ、第 2 のゲート酸化膜 7 の耐圧が低下する。また、第 2 の多結晶シリコン層のパターニング時には、通常、RIE が用いられているが、前記凹部 9 による段差が存在するため、オーバーエッチングが必要で制御ゲート 8 の加工性が低下する。

一方、前述した方法では制御ゲート 8 を多結晶シリコンにより形成したが、最近、素子の高速動作化を図るために多結晶シリコン層の代りに高融点金属層又は高融点金属シリサイド層が用いられている。しかしながら、高融点金属層を用いた場合、熱処理時に前述した浮遊ゲート間の凹部の段差において断切れを生じるという欠点を有する。

〔発明の目的〕

本発明は、浮遊ゲートと制御ゲート間の耐圧を向上すると共に、制御ゲートを平坦化して断切れを防止し得る不揮発性半導体記憶装置の製造方法を提供しようとするものである。

〔発明の概要〕

本発明は、半導体基板上に第 1 の絶縁膜を介して第 1 の非単結晶シリコン層を堆積する工程と、この非単結晶シリコン層上に第 2 の絶縁膜を形成した後、この第 2 の絶縁膜上に第 2 の非単結晶シリコン層をを堆積する工程と、これら第 2 の非単結晶シリコン層、第 2 の絶縁膜及び第 1 の非単結晶シリコン層を選択的にエッチングした第 1 の非単結晶シリコン層を形成すべき浮遊ゲートの一方の長さとするための溝部を開口する工程と、この溝部内を絶縁物で埋込む工程と、全面に導電材料層を形成した後、この導電材料層から前記絶縁物を含む前記第 1 の絶縁膜に互つて順次パターニングすることにより第 1 の非単結晶シリコンからなる浮遊ゲートと、該浮遊ゲートとセルフアラインとなる第 2 の非単結晶シリコンパターン及びこれと長さ方向に沿う側面がセルフアラインとなり、少なくとも一端が前記絶縁物上に延出した導電材料パターンからなる制御ゲートとを形成する工程とを具備したことを特徴とする不揮発性半導体記

憶装置の製造方法である。

上述した本発明によれば、浮遊ゲートと制御ゲート間の耐圧を向上できると共に、制御ゲートを平坦化して段切れを防止できる。また、浮遊ゲートの形成と同時に、該浮遊ゲートとセルフアラインとなる第 2 の非単結晶シリコンパターン及びこれと長さ方向に沿う側面がセルフアラインとなり、少なくとも一端が前記絶縁物上に延出され、他のセルの共通配線として機能する導電材料パターンからなる制御ゲートを形成することができる。

〔発明の実施例〕

以下、本発明を EPROM のメモリセルの製造に適用した例について第 1 図 a ~ f 及び第 2 図、第 3 図を参照して説明する。

まず、p 型シリコン基板 21 の表面にフィールド酸化膜 22 を形成した後、このフィールド酸化膜 22 で分離された基板 21 の島領域 23 に例えば熱酸化法により第 1 の酸化膜 24 を形成した。つづいて、全面に例えば厚さ 2000 Å の第 1 の多結晶シリコン層 25 を堆積した後、リン等の不純物のイオン注入又は POCl_3 による熱拡散により多結晶シリコン層 25 に不純物をドーピングした（第 1 図 a 図示）。

次いで、900 ~ 1000 °C の希釈酸化雰囲気中で熱酸化処理を施して第 1 の多結晶シリコン層 25 表面に例えば厚さ 200 Å の第 2 の酸化膜 26 を形成した。なお、この酸化膜 26 の代りに CVD-SiO₂ 膜を用いてもよい。つづいて、全面に例えば厚さ 1000 Å の第 2 の多結晶シリコン層 27 を堆積した（同図 b 図示）。

次いで、前記第 2 の多結晶シリコン層 27、第 2 の酸化膜 26 及び第 1 の多結晶シリコン層 25 を図示しないレジストパターンをマスクとして RIE により順次エッチング除去して溝部 28₁、28₂ を形成した（同図 c 及び第 2 図図示）。第 2 図は第 1 図 c の平面図である。この溝部 28₁、28₂ により第 1 の多結晶シリコン層 25 の一部を形成すべき浮遊ゲートの長さに分離した。つづいて、全面に前記溝部 28₁、28₂ の幅の 1/2 程度の厚さをもつ CVD-SiO₂ 膜 29 を堆積した（同図 d 図示）。この CVD-SiO₂ 膜 29 の堆積に先立つて、熱酸化して溝部 28₁、28₂ 内面に露出した多結晶シリコン層に酸化膜を形成してもよ

5

い。ひきつづき、900°C N₂雰囲気中でアニーリングした後、RIEによりCVD-SiO₂膜 2 9 をエッチバックすると共に、第2の多結晶シリコン層 2 7 上の薄い酸化膜を除去して溝部 2 8₁、2 8₂内にSiO₂ 3 0₁、3 0₂を埋込んで表面を平坦化した(同図 e 図示)。

次いで、全面に例えば厚さ1000Åの第3の多結晶シリコン層を堆積し、これに砒素等の不純物をイオン注入した後、厚さ3000Åのモリブデンシリサイド層を堆積した。つづいて、モリブデンシリ
5 サイド層、第3の多結晶シリコン層、第2の多結晶シリコン層 2 7、第2の酸化膜 2 6、第1の多結晶シリコン層 2 5 及び第1の酸化膜 2 4 を前記 SiO₂ 3 0₁、3 0₂を含んで順次パターニングした。これにより、基板 2 1 表面側から第1のゲート酸化膜 3 1、第1の多結晶シリコンからなる浮
10 遊ゲート 3 2、第2のゲート酸化膜 3 3、第2の多結晶シリコン層 2 7 と第3の多結晶シリコン層 3 4 とモリブデンシリサイド層 3 5 の三層からなる制御ゲート 3 6 が夫々形成された。ひきつづ
き、制御ゲート 3 6 をマスクとして n 型不純物を基板 2 1 にイオン注入し、活性化して n⁺ 型のソース、ドレイン領域 3 7、3 8 を形成した(同図 f 及び第 3 図図示)。以下、図示しないが、全面
15 にCVD-SiO₂膜を堆積した後、ソース、ドレイン領域 3 7、3 8 に対応するCVD-SiO₂膜へのコンタクトホールの開孔、Al配線の形成を行なつてEPROMのメモリセルを製造した。

しかして、本発明方法によれば分離部分にSiO₂(例えば 3 0₁) が埋込まれた浮遊ゲート 3 2
20 を形成でき、制御ゲート 3 6 が重なる浮遊ゲート 3 2 上の第2のゲート酸化膜 3 3 に従来第 4 図 c に示すような凹部 9 によるコーナ部 1 0 が発生しないため、膜厚の不均一化や電界集中等による耐圧劣化、保持特性の劣化を防止できる。その結果、高信頼性のEPROMを高歩留りで得ることができる。

また、第3の多結晶シリコン層とその上に堆積されるモリブデンシリサイド層を平坦化できるため、該モリブデンシリサイド層の段切れのない制
35

6

御ゲート 6 を形成でき、ひいては高速動作が可能なEPROMを得ることができる。

なお、上記実施例では溝部 2 8₁、2 8₂への絶縁物の埋込みを、CVD-SiO₂膜の堆積、エッチ
5 バックにより行なつていたが、熱酸化により溝部内面に露出した第1、第2の多結晶シリコン層を酸化し、該酸化膜の体積膨張を利用して埋込んで
もよい。

上記実施例では、導電材料層を第3の多結晶シリ
10 コン層とモリブデンシリサイド層の二層構造としたが、これに限定されない。例えば多結晶シリコン層、モリブデン等の高融点金属層又はモリブデンシリサイド、タングステンシリサイド等の高融点金属シリサイド層の単層で形成してもよく、
15 或いはこれらを組合せた二層以上の構成としてもよい。

上記実施例では、EPROMのメモリセルの製造に適用した例について説明したが、E²PROM等の製造にも同様に適用できる。

〔発明の効果〕

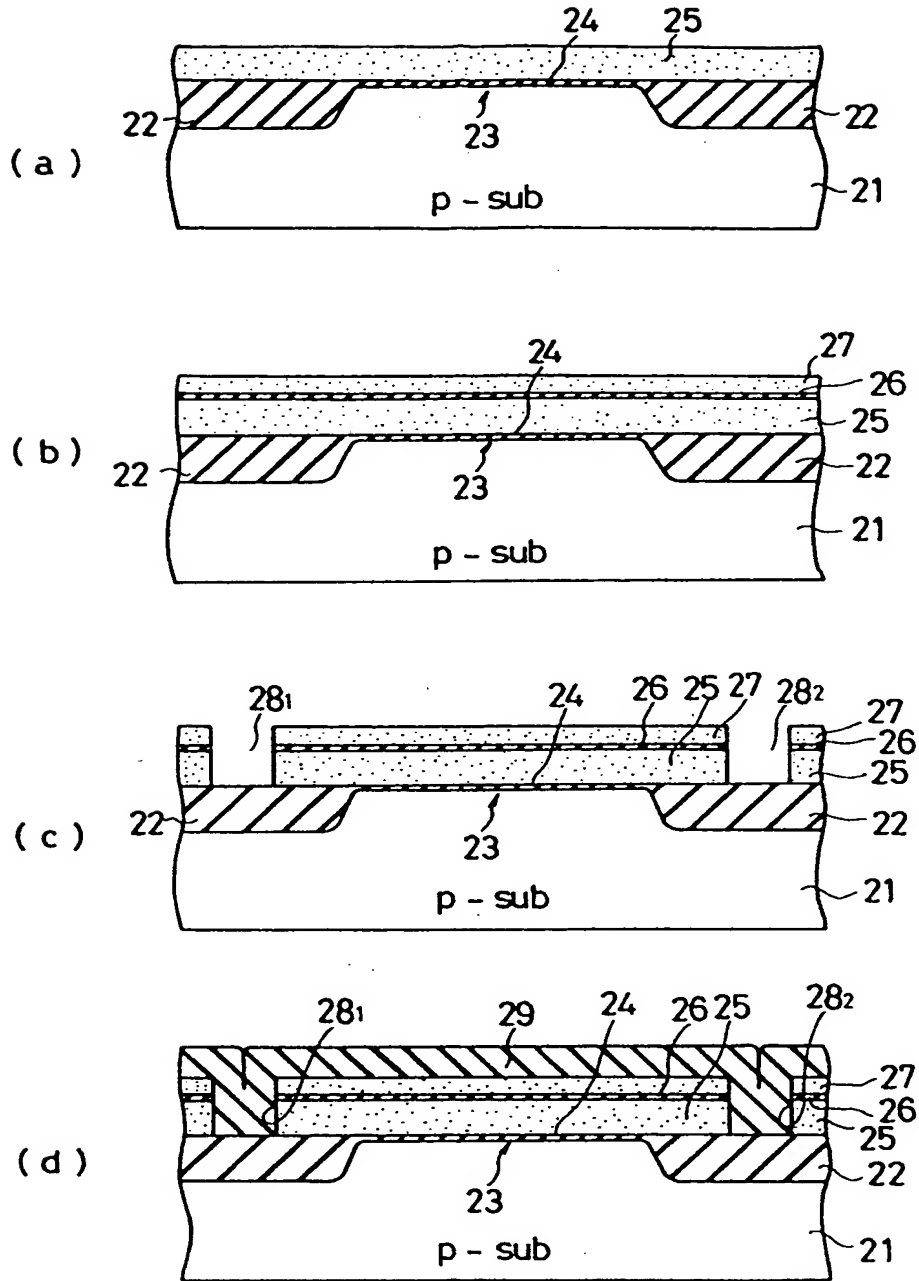
以上詳述した如く、本発明によれば浮遊ゲートと制御ゲート間の耐圧を向上すると共に、制御ゲートを平坦化して断切れを防止した高性能、高信頼性のEPROM等の不揮発性半導体記憶装置を製造し得る方法を提供できる。

図面の簡単な説明

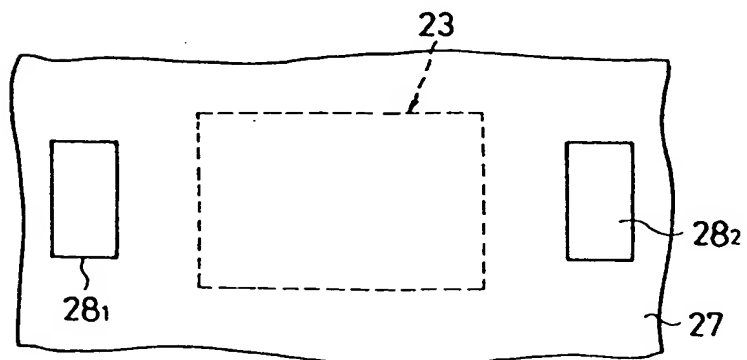
第 1 図 a ~ f は本発明の実施例におけるEPROMのメモリセルの製造工程を示す断面図、第 2 図は第 1 図 c の平面図、第 3 図は第 1 図 f の
30 平面図、第 4 図 a ~ c は従来のEPROMのメモリセルの製造工程を示す断面図である。

2 1 p 型シリコン基板、2 2 フィールド酸化膜、2 3 島領域、2 5 第 1 の多結晶シリコン層、2 7 第 2 の多結晶シリ
35 層、2 8₁、2 8₂ 溝部、3 0₁、3 0₂ SiO₂、3 1 第 1 のゲート酸化膜、3 2 浮遊ゲート、3 3 第 2 のゲート酸化膜、3 4 第 3 の多結晶シリコン層、3 5 モリブ
デンシリサイド層、3 6 制御ゲート、3 7
40 n⁺ 型ソース領域、3 8 n⁺ 型ドレイン領域。

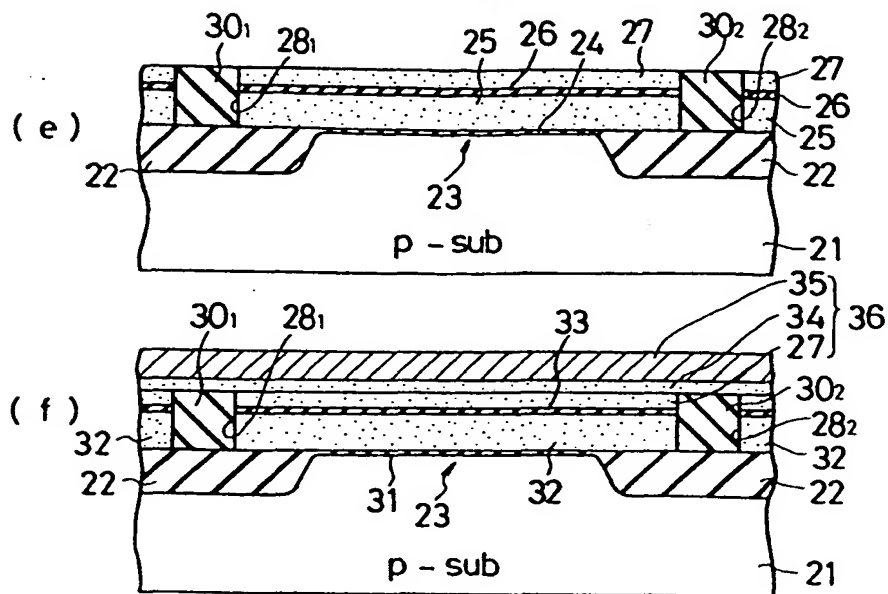
第 1 図



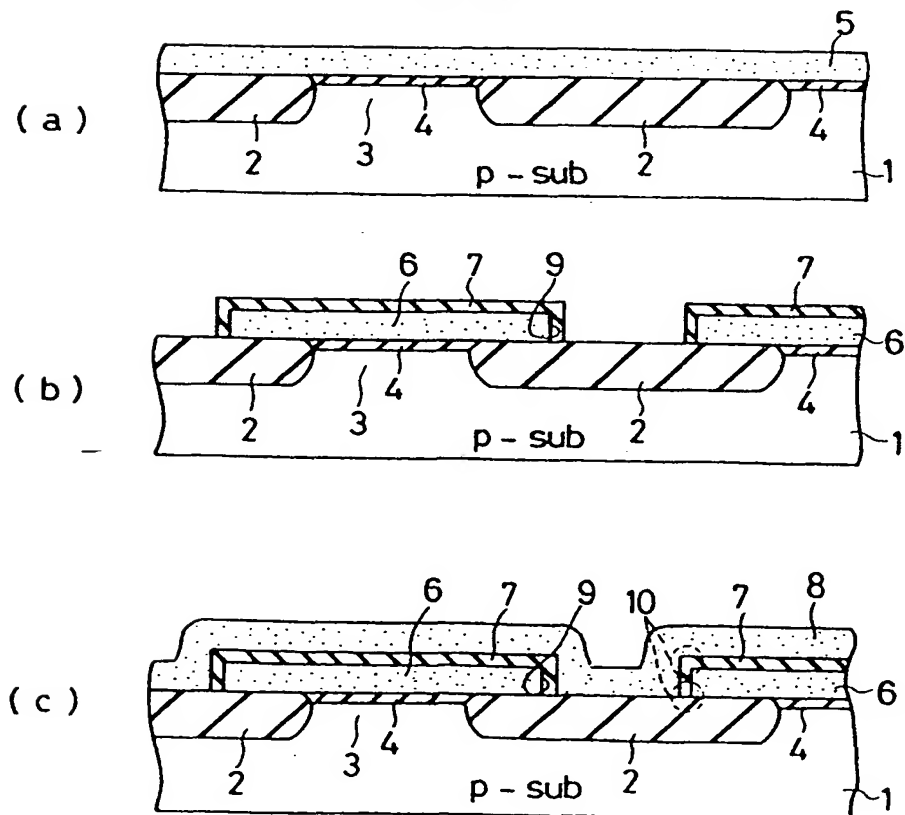
第 2 図



第1図



第4図



第 3 図

